

Digitaal System Ontwerpen

Studiehandleiding

Embedded Systems Engineering

Klassen: ES2, ES2D

H. Riezebos

5 september 2012

Inhoud

1	Inleiding	2
2	Beschrijving en beoordeling	3
3	Tentamenstof.....	6
4	Planning.....	8
4.1	Studieplanning Voltijd	8
4.2	Studieplanning Deeltijd.....	8
5	Slides gebruikt tijdens de theorielessen DSO	9
5.1	Intro VHDL.....	9
5.2	Vervolg VHDL.....	9
5.3	Timing model in VHDL.....	10
5.4	VHDL Synthese	10
5.5	CMOS Technologie	10
5.6	Ontwerpen van Digitale systemen.....	10
5.7	Testen van Digitale Systemen.....	11
5.8	The Value of Boundary Scan for the Hardware Designer (PDF met toestemming JTAG Technologies)	11
5.9	Boundary scan.....	11

1 Inleiding

In de onderwijseenheid 'Digitaal Systeem Ontwerpen' bouwt voort op de onderwijseenheid 'Digitale Techniek' uit het eerste leerjaar. Vertrekpunt is het ontwerpen van een digitaal systeem met de beschrijvingstaal VHDL. De stof is opgedeeld in twee delen. Belangrijke onderwerpen in het eerste blok zijn VHDL taaleigenschappen, simulatie en synthese van digitale schakelingen. Het tweede deel wordt gebruikt om te leren schakelingen testbaar te ontwerpen waarbij boundary_scan en de modellering van fouten aan de orde komen.

In hoofdstuk 2 wordt de onderwijseenheid beschreven en hoe deze beoordeeld wordt. In hoofdstuk 3 wordt de lesstof beschreven en hoofdstuk 4 geeft een planning van onderwerpen die wekelijks aan de orde komen.

Hoofdstuk 5 geeft de slides die de de docent gebruikt tijdens de theorielessen.

2 Beschrijving en beoordeling

Titel onderwijsseenheid (OWE)		Digitaal systeemontwerp (DSO)				
1.	Opleiding	Embedded Systems Engineering				
2.	Doelgroep	Tweedejaars ESE-studenten				
3.	Beroepstaak/ beroepstaken	BT3: Hardware ontwerpen en testen				
4.	Centrale beroepstaak	BT3: Hardware ontwerpen en testen				
5.	(Beroeps) Producten	n.v.t.				
6.	Studiepunten/ studielast	7,5 EC / 210 SBU				
7.	Samenhang met andere OWE's	Digitaal systeemontwerp bouwt voort op Digitale techniek en levert kennis voor Project 5.				
8.	Ingangseisen	Digitale techniek gevolgd				
9.	Algemene omschrijving	De student bekwaamt zich in digitaal systeemontwerp met behulp van technieken uit de Electronic Design Automation (EDA), waarbij testability van het ontwerp een belangrijke rol speelt. De hardware beschrijvingstaal VHDL zal uitgangspunt zijn om diverse digitale schakelingen te ontwerpen en testbaar te maken.				
10.	Competenties	zie onderstaande beoordelingstabellen				
11.	Beoordelings- criteria	zie onderstaande beoordelingstabellen				
12.	Tentaminering	Toetscode	Toetsnaam	Toetsvorm	Weging	Grens
		DSO-T1	Tentamen 1	schriftelijk	1.00	3.00
		DSO-T2	Tentamen 2	schriftelijk	1.00	3.00
		DSO-Pr	Practicum	opdrachten	0.00	6.00
		Compensatiemogelijkheden geen				
		Frequentie (deel) tentamens 2 x per jaar				

13.	Verplichte literatuur	<ul style="list-style-type: none"> • Het boek 'Digital System Design with VHDL' Mark Zwolinski Prentice Hall • Studiehandleiding 'Digitaal systeemontwerp' Herman Riezebos, Hogeschool van Arnhem en Nijmegen • Practicumhandleiding 'Digitaal systeemontwerp' Herman Riezebos, Hogeschool van Arnhem en Nijmegen
14.	Aanbevolen literatuur	n.v.t.
15.	Software	Xilinx ISE webpack faultsim
16.	Overig materiaal	n.v.t.
17.	Activiteiten	bijwonen van theorielessen deelnemen aan practica deelnemen aan de schriftelijke tentamens
18.	Werkvormen	theorielessen practica
19.	Les-/Contacturen	1,5+0,75 uur per week theorie 1,5 uur per week practicum
20.	Onderwijsperiode	Semester 1
21.	Maximum aantal deelnemers	n.v.t.

Beoordelingstabellen Digitaal systeemontwerp

Specificatietabel Tentamen DSO-T1

Eindkwalificaties (Competenties) op niveau 3	Indicatoren
<i>C2 De architectuur van het gewenste embedded system ontwerpen: opdelen in onderdelen en subfuncties van de benodigde hardware en software.</i>	1. De student kan VHDL taal beschrijvingen zoals type declaraties, functies, procedures en standaarden in de basis toepassen.
<i>C3 De benodigde hardware en software voor een embedded system ontwerpen en testen. Het gaat hierbij om:</i> <ul style="list-style-type: none"> • digitale systemen; • embedded software; • interfaces met gebruiker, fysieke omgeving en netwerken en tussen hardware en software. 	<ol style="list-style-type: none"> 1. Kan de regels en richtlijnen toepassen om VHDL beschrijvingen van eenvoudige digitale combinatorische en sequentiële schakelingen te synthetiseren tot een netlist. 2. Kan in VHDL beschreven hardware processen met het Event driven simulatiemodel omzetten naar een signaal timingdiagram. 3. Toepassen van kennis van elektrische eigenschappen van CMOS in het ontwerp.

Specificatietabel Tentamen DSO-T2

Eindkwalificaties (Competenties) op niveau 3	Indicatoren
<i>C2 De architectuur van het gewenste embedded system ontwerpen: opdelen in onderdelen en subfuncties van de benodigde hardware en software.</i>	1. Kan aan Boundary scan en BIST toevoegen aan de core functionaliteit.
<i>C3 De benodigde hardware en software voor een embedded system ontwerpen en testen. Het gaat hierbij om:</i> <ul style="list-style-type: none"> • digitale systemen; • embedded software; • interfaces met gebruiker, fysieke omgeving en netwerken en tussen hardware en software. 	<ol style="list-style-type: none"> 1. Heeft kennis van Stuck-At foutmodellen en kan deze toepassen op eenvoudige combinatorische schakelingen. 2. Heeft kennis van technieken om testbaar te ontwerpen: Boundary scan, Internal scan en Built in Selftest en kan hier een besturing voor programmeren. 3. Kan verschillende technieken toepassen om een testvectorset te genereren (zoals seriële, parallelle en concurrent foutsimulatie).

Beoordelingstabel practicum DSO-Pr:

Eindkwalificaties (Competenties) op niveau 3	Indicatoren	Score (gewicht) 0=ontbreekt/slecht 1=onvoldoende 2=voldoende 3=goed
C2 De architectuur van het gewenste embedded system ontwerpen: opdelen in onderdelen en subfuncties van de benodigde hardware en software.	<ol style="list-style-type: none"> 1. De functionaliteit kunnen opdelen naar tijddomein, data-processing, besturing en status eigenschap. 2. Vanuit een opdrachtomschrijving de functionaliteit opdelen in structurele VHDL beschrijvingen. 	<p>1 (1)</p> <p>2 (1)</p>
C3 De benodigde hardware en software voor een embedded system ontwerpen en testen. Het gaat hierbij om: <ul style="list-style-type: none"> • digitale systemen; • embedded software; • interfaces met gebruiker, fysieke omgeving en netwerken en tussen hardware en software. 	<ol style="list-style-type: none"> 1. Gebruikt in het ontwerp eenduidige VHDL beschrijvingen voor FSM oplossingen, inklokken van externe signalen, opklokken van signalen uit een ander tijddomein, serieel/parallel omzettingen, klokdelingen, schuifregisters en counters. 2. Voor elke ontwikkelde VHDL module is een VHDL test bench ontwikkeld waarmee door simulatie de deelfunctie wordt aangetoond. 3. Kan elke VHDL module synthetiseren en een opbouw van de schakeling laten zien op RTL component niveau. 	<p>1..... (1)</p> <p>2..... (1)</p> <p>3..... (1)</p>
C4 De ontwikkelde hardware en software voor een embedded system integreren en testen.	<ol style="list-style-type: none"> 1. De deelfunctionaliteit wordt geïntegreerd in een VHDL top level ontwerp waarvan de werking wordt aangetoond door simulatie in een VHDL top level test bench. 2. Het top level ontwerp met constraints file wordt geïmplementeerd en geprogrammeerd op een FPGA ontwikkelboard en op juiste werking getest. 	<p>1 (1)</p> <p>2 (1)</p>
C5 Een bijdrage leveren aan het acceptatietraject door het geven van presentaties, demonstraties en het opleveren van documentatie.	<ol style="list-style-type: none"> 1. De student demonstreert de uitwerking van de opdrachten aan de docent. 2. VHDL modules zijn voorzien van commentaar om de werking te verduidelijken. 3. De opdrachten worden gedocumenteerd en voorzien van VHDL broncode opgeleverd. 	<p>1 (1)</p> <p>2 (1)</p> <p>3 (1)</p>
C7 Projectmatig werken: plan van aanpak maken, plannen, werkzaamheden afstemmen en rapporteren over de voortgang.	<ol style="list-style-type: none"> 1. De student houdt zich aan de opgegeven inlevertermijnen uit de projecthandleiding. 	<p>1 (1)</p>

3 Tentamenstof

De OWE wordt behandeld in twee blokken die over een semester lopen. Elk blok wordt afgesloten met een tentamen: T1 voor het eerste en T2 voor het tweede blok.

Tentamen T1

- BOEK: "Digital system design with VHDL", Mark Zwolinski, zie tabel hieronder.
- Slides gebruikt tijdens de lessen, zie hoofdstuk 5:
 1. Intro VHDL
 2. Vervolg_VHDL
 3. VHDL timing model
 4. VHDL Synthese
 5. CMOS technologie
 6. Ontwerpen van digitale systemen
- Opdrachten 1, 2 en 3 uit het practicum.

De nadruk van het tentamen ligt op de behandelde paragrafen, de overige gedeelten wordt bekend verondersteld ofwel geschikt geacht om zelfstandig te bestuderen. Vragen over de stof kunnen gesteld worden tijdens de lessen, per mail of door een afspraak te maken.

Hoofdstuk	Paragraaf	behandeld	bekend	bestuderen	Opmerkingen
1	1.1			X	Zie slide CMOS technologie
	1.2	X			
	1.3			X	
	1.4	X			
2	2.1		X		
	2.2			X	
	2.3		X		
	2.4	X			
3	2.5		X		Zie slide Intro VHDL en Vervolg_VHDL
	3.1	X			
	3.2	X			
	3.3	X			
	3.4	X			
	3.5	X			
	3.6	X			
4	3.7	X			
	3.8	X			
	4.1	X			
	4.2		X		
	4.3		X		
	4.4	X	X		
	4.5	X	X		
5	4.6		X		ASM chart onderwerpen behoren niet bij de tentamenstof Deze paragraaf behoort niet tot de tentamenstof Alleen het voorbeeld in §5.1.1 behoort tot de tentamenstof.
	4.7	X			
	5.1	X			
	5.2	X			
	5.3	X			
	5.4	-	-	-	
6	5.5	X			
	5.6	X			
	6.1	X			
	6.2	X			
	6.3			X	
	6.4			X	
	6.5			X	
	6.6			X	
8	6.7			X	Zie slide VHDL timing
	6.8	X			
	8.1	X			
	8.2	X			
9	8.3			X	Zie slide VHDL Synthese
	8.4	X			
	9.1	X			
	9.2	X			
	9.3			X	
	9.4				
	9.5				

Tentamen T2

- BOEK: "Digital system design with VHDL", Mark Zwolinski.
- Slides gebruikt tijdens de lessen, zie hoofdstuk 5:
 7. Testen van digitale systemen
 8. The value of boundary scan for the hardware designer (PDF JTAG met toestemming)
 9. Boundary scan
- Gast college Rob Staals JTAG Technologies.
- Opdrachten 4 t/m 10 uit het practicum.

De nadruk van het tentamen ligt op de behandelde paragrafen, de overige gedeelten wordt bekend verondersteld ofwel geschikt geacht om zelfstandig te bestuderen. Vragen over de stof kunnen gesteld worden tijdens de lessen, per mail of door een afspraak te maken.

Hoofdstuk	Paragraaf	behandeld	bekend	bestuderen	Opmerkingen
10	10.1	X			
	10.2	X			§ 10.2.2 NIET
	10.2.1	X			
	10.3	X			§ 10.3.1 en § 10.3.3 NIET
	10.4	X			
11	11.1	X			
	11.2			X	
	11.3	X			
	11.4	X			
	2.5		X		
12	12.1			X	
	9.5			X	

4 Planning

Er wordt 3 lesuur per week een theoriecollege ingeroosterd voor de voltijd en 2 lesuur per lesweek voor de deeltijd.

Deelname aan de practica is verplicht (2 lesuur/lesweek).

Zie het tentamenrooster op HAN-Insite voor de planning van de tentamens en raadpleeg de practicumhandleiding DSO voor de uiterste inleverdata van de practicumopdrachten.

4.1 Studieplanning Voltijd

Semester week-nummer.	Onderwerpen in de theoriecollege
1	VHDL dataflow, structural en behavioural description
2	VHDL testbench description
3	VHDL type declaration
4	Event driven simulation model, timing model
5	Simulatie voorbeelden met EXNOR en opdracht
6	Intro synthese met VHDL
7	Synthese van combinatorische en sequentiele schakelingen
8	CMOS Technologie en poortmodellen
	Toetsweek, tentamen DSO-t1
9	Stuck-At model
10	Testpatroon generatie
11	Foutsimulatie voor testvectorsets
12	"Gastcollege Rob Staals van JTAG Technologies". *
13	Testmethoden voor digitale schakelingen
14	Boundary scan architectuur, TAP controller
15	Built-In-Self-Test
16	BILBO architectuur
	Toetsweek, tentamen DSO-t2

* Het gastcollege is facultatief en kan verschoven worden in de tijd. Wanneer programmering niet mogelijk is zal de stof "Boundary scan technieken" behandeld worden door de docent.

4.2 Studieplanning Deeltijd

Semester week-nummer.	Onderwerpen in de theoriecollege
1	VHDL dataflow, structural en behavioural description
2	VHDL testbench description
3	VHDL type declaration
4	Event driven simulation model, timing model
5	Simulatie voorbeelden met EXNOR en opdracht
6	Intro synthese met VHDL
7	Synthese van combinatorische en sequentiele schakelingen
8	CMOS Technologie en poortmodellen
	Toetsweek, tentamen DSO-t1
9	Stuck-At model
10	Testpatroon generatie
11	Foutsimulatie voor testvectorsets
12	Boundary scan technieken
13	Testmethoden voor digitale schakelingen
14	TAP controller
15	Built-In-Self-Test, BILBO architectuur
	Toetsweek, tentamen DSO-t2

5 Slides gebruikt tijdens de theorielessen DSO


De docent gebruikt tijdens de theorielessen slides als leidraad voor de stof. In deze handleiding zijn de slides integraal opgenomen. Hoofdonderwerpen zijn per paragraaf gegroepeerd.

5.1 Intro VHDL

Inleiding tot VHDL, 2011

The diagram illustrates the evolution of VHDL and related technologies. It features a large green arrow pointing upwards and to the right. Along the path of the arrow, several key milestones are marked with years in green boxes: 1990, 1993, 1997, and 2000. Above the arrow, the text 'HDL and Logic Synthesis' is positioned. Below the arrow, the text 'Behavioral Synthesis' is positioned. At the bottom left of the arrow, 'VHDL' is written. At the bottom right of the arrow, 'SystemC' is written. The background of the diagram is a faint image of a building.

Bron: Fraunhofer for Integrated Circuits

Hogeschool  van Arnhem en Nijmegen
HAN-University

5.2 Vervolg VHDL

VHDL Taal beschrijvingen

- Multivalue logic
- Functies in VHDL
- Eigen types definiëren
- Kloksignalen en testbenches

Hogeschool  van Arnhem en Nijmegen
HAN-University

5.3 Timing model in VHDL

Het timing model in VHDL

Wat is het effect van verschillende beschrijvingen op een simulatie?

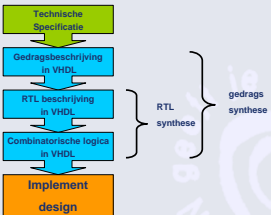

- Het event-driven simulatie model
- Timing model stap voor stap
- EXNOR als voorbeeld
- Opdracht



5.4 VHDL Synthese

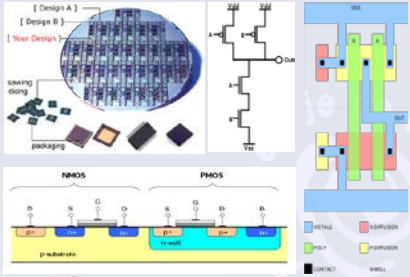

VHDL Synthese

Synthese is het geautomatiseerd compileren van VHDL beschrijving van een ontwerp naar poorten en libraries.

5.5 CMOS Technologie


CMOS Technologie

5.6 Ontwerpen van Digitale systemen

Ontwerpen van Digitale Systemen

Product-ontwikkeling stadium	Abstract System niveau	System on Chip (SoC)	Digitale Systemen
Plan-in-ontwerptraject	Functionele eisen Randvoorwaarden	Beschrijvingstaal Pseudo-code C, VHDL, Verilog, SystemVerilog	Formele beschrijvingen, Algoritme, Circuit beschrijving, Dataflow ontwerpen, VHDL
Architectuur	Opzetten van subsystemen	Opzetten in HW, SW, CPU, FPGA, CPLD, Standard logic componenten	Opzetten in databewerkingen en stuursystemen, control unit en datapath Strategieën
Implementatie	Realiseren, testen	Integreren van realisaties, integratie testen	Realisatie volgens RTL ontwerfbestanden (sheet 2), Echter: simulatie, overleggen van bedrijfsvoorspellingen, gefabriceerd vermogen, etc. aan samenleving



5.7 Testen van Digitale Systemen

Testen van Digitale Systemen

- De economische noodzaak van het testen
- Fouten modelleren: het *single stuck at* model
- Testpatroon generatie om fouten te zoeken
- Fout simulatie: het verkrijgen van testvector en de bijbehorende fout(en)
- Fout simulatie in VHDL

Hogeschool van Arnhem en Nijmegen
HAN-University

5.8 The Value of Boundary Scan for the Hardware Designer (PDF met toestemming JTAG Technologies)

WWW.JTAG.COM

The value of Boundary-scan for the Hardware Designer

Rob Staals, JTAG Technologies robotsa@jtag.com

1 Copyright © 2002 JTAG Technologies www.jtag.com JTAG is a trademark of JTAG.

WWW.JTAG.COM

Prototype

What do you do when you get your prototype?

1. Quick Visual inspection of the board
2. Set the power supply to the correct voltage level
3. Turn the current limiter to zero
4. Connect the board to the power supply
5. Slowly increase the current limit
6. Keep fingers crossed

2 Copyright © 2002 JTAG Technologies www.jtag.com JTAG is a trademark of JTAG.

1

5.9 Boundary scan

Boundary Scan

- Conventionele testmethoden PCB/IC.
- Boundary Scan architectuur
- Test methoden
- TAP controller
- Built In Self Test

Hogeschool van Arnhem en Nijmegen
HAN-University